

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



(19)

(11) Publication number: 03276675 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 02075898

(51) Int'l. Cl.: H01L 27/146 H04N 5/335

(22) Application date: 26.03.90

(30) Priority:

(43) Date of application publication: 06.12.91

(84) Designated contracting states:

(71) Applicant: SONY CORP

(72) Inventor: HAMAZAKI MASAHIRO

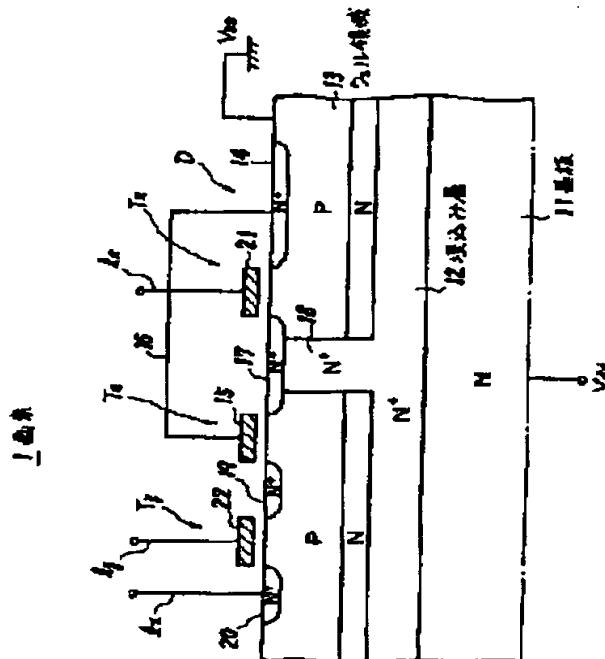
(74) Representative:

(54) SOLID-STATE IMAGE SENSING ELEMENT

(57) Abstract:

PURPOSE: To make it possible to perform independently a reset in a line unit without increasing the number of wirings and to improve a freedom of read without causing the deterioration of sensitivity by a method wherein a wiring for power supply use of a reset means and a wiring for power supply use of an amplifying means are used in common.

CONSTITUTION: A drain region 17 of a transistor TR for reset use and a transistor Ta for amplification use and a wiring (a buried layer 12), which is connected to this region 17 and to which a supply voltage Vdd is applied, are used in common. Accordingly, the number of wirings to affect the opening rate of a pixel 1 can be confined to 3 wirings as ever. That is, the number can be confined to a vertical signal conductor lx which is constituted of Al, a line selection conductor ly and a reset conductor IR. Accordingly, a freedom of read can be improved without causing the deterioration of sensitivity.



COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報 (A)

平3-276675

⑤Int.CI. 5

H 01 L 27/146
H 04 N 5/335

識別記号

庁内整理番号

⑬公開 平成3年(1991)12月6日

E

8838-5C
8122-4M

H 01 L 27/14

A

審査請求 未請求 請求項の数 1 (全8頁)

④発明の名称 固体撮像素子

②特 願 平2-75898

②出 願 平2(1990)3月26日

⑦発明者 浜崎正治 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑦出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑧代理人 弁理士 松隈秀盛

明細書

発明の名称 固体撮像素子

特許請求の範囲

複数の画素がマトリクス状に配列されてなる固体撮像素子において、

上記画素は、受光素子と、その受光素子からの信号電荷を増幅する増幅手段と、その信号電荷を行選択によりリセットするリセット手段と、上記増幅手段と直列に接続され、行選択により上記増幅手段からの増幅された信号電荷を信号線に供給する行選択スイッチとを有すると共に、上記リセット手段の電源供給用配線と上記増幅手段の電源供給用配線とが共用するよう構成することにより、配線を増やすことなく、行単位に独立にリセットが行なえるようにして、感度の劣化を招来させることなく、フレーム読出し及びフィールド読出しを可能にさせると共に、電子シャッター機能をも持たせることができるようにしたものである。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、複数の画素がマトリクス状に配列されてなる固体撮像素子に関するもので、特に各画素内において光信号電荷が増幅される内部増幅型の固体撮像素子に関するものである。

〔発明の概要〕

本発明は、複数の画素がマトリクス状に配列されてなる固体撮像素子において、上記画素を、受光素子と、その受光素子からの信号電荷を増幅する増幅手段と、その信号電荷を行選択によりリセットするリセット手段と、上記増幅手段と直列に接続され、行選択により上記増幅手段からの増幅された信号電荷を信号線に供給する行選択スイッチとを有するようになすと共に、上記リセット手段の電源供給用配線と上記増幅手段の電源供給用配線とが共用するよう構成することにより、配線を増やすことなく、行単位に独立にリセットが行なえるようにして、感度の劣化を招来させることなく、フレーム読出し及びフィールド読出しを可能にさせると共に、電子シャッター機能をも持たせることができるようにしたるものである。

〔従来の技術〕

近時、撮像素子の高解像度化に伴ない、各画素毎に増幅機能を有した内部増幅型の固体撮像素子

の研究が行なわれており、このような技術については、例えば「増幅型固体撮像素子AMI(Amplified MOS Intelligent Imager)」、「テレビジョン学会誌」1075~1082頁、Vol.41, No.11, 1987年。にその記載がある。

ここで、簡単に増幅型固体撮像素子の一例（所謂AMI）について説明すると、その素子の回路構成は、XYアドレス方式とされ、素子は第5図に一部省略して示すように、マトリクス状に配列された画素(31)を有し、その各画素(31)は、受光素子(D)、増幅用トランジスタ(Ta)、垂直スイッチングトランジスタ(Ty)、リセット用のリセットトランジスタ(Tz)より構成される。このマトリクス状に配列された画素(31)からなるイメージ部(32)の周囲には、垂直走査のための垂直走査回路(33)と、水平走査のための水平走査回路(34)が設けられている。水平走査回路(34)は、水平スイッチングトランジスタ(Tx)のオン、オフを制御する回路であり、その水平スイッチングトランジスタ(Tx)は、ビデオラインVLと各垂直

信号線(lx)の接続を制御するように設けられている。垂直走査回路(33)は、選択線.lyを介して例えばn行の画素(31_(n))における垂直スイッチングトランジスタ(Ty)とn-1行の画素(31_(n-1))におけるリセットトランジスタ(Tz)を同時に制御するようになされている。尚、垂直走査回路(33)から水平方向に延びる配線(Y)は、Alにより形成され、読出し中の画素に対しては、増幅用トランジスタ(Ta)及び垂直スイッチングトランジスタ(Ty)のソースとして使用され、リセット中の画素に対しては、リセットトランジスタ(Tz)のリセットドレインとして使用される。また、上記配線(Y)とは別に垂直走査回路(33)から水平方向に延びる選択線.lyは、例えば多結晶シリコン層で形成され、読出し中の画素に対しては、垂直スイッチングトランジスタ(Ty)のゲート線として使用され、リセットトランジスタ(Tz)のゲート線として使用される。また、垂直信号線(lx)は、Alで形成され、増幅用トランジスタ(Ta)のドレイン配線

として使用される。そして、画素の開口率を左右する配線の数は、上記の如く、配線(Y), (ly)及び(lx)の3本であり、1画素内に増幅用トランジスタ(Ta)、垂直スイッチングトランジスタ(Ty)及びリセットトランジスタ(Tz)を有する割には、配線数が少なく感度は良好となる。

[発明が解決しようとする課題]

しかしながら、従来の内部増幅型の固体撮像素子においては、例えばn行の画素(31_(n))における垂直スイッチングトランジスタ(Ty)のゲート線とn-1行の画素(31_(n-1))におけるリセットトランジスタ(Tz)のゲート線が共通の配線(選択線.ly)で接続されているため、例えばn行目の画素(31_(n))を読み出すと、それと同時にn-1行目の画素(31_(n-1))がリセットされてしまう。従って、この場合の読出し方式は、全画素読出し（以下、フレーム読出しと記す）のみであり、その他の2画素同時読出し（以下、フィールド読出しと記す）や所謂電子シャッターの機能を持た

せることができず、読出しの自由度がないという不都合がある。

本発明は、このような点に鑑み成されたもので、その目的とするところは、配線を増やすことなく、行単位に独立にリセットが行なえ、感度の劣化を招来させることなく、読出しの自由度を向上させることができる固定撮像素子を提供することにある。

[課題を解決するための手段]

本発明は、複数の画素(1)がマトリクス状に配列されてなる固体撮像素子(A)において、画素(1)を、受光素子(D)と、その受光素子(D)からの信号電荷を増幅する増幅手段(Ta)と、その信号電荷を行選択によりリセットするリセット手段(Tz)と、増幅手段(Ta)と直列に接続され、行選択により増幅手段(Ta)からの増幅された信号電荷を信号線(lx)に供給する行選択スイッチ(Ty)とを有するようになすと共に、リセット手段(Tz)の電源供給用配線(12)と増幅手段(Ta)の

電源供給用配線(12)とが共用するように構成する。

[作用]

上述の本発明の構成によれば、リセット手段(T_s)を行単位で独立に制御するようにしたので、例えば n 行目の画素(1)を読み出しているとき、 $n-1$ 行目の画素(1)をリセットするということがなく、各行独立に読み出し又はリセットを行なうことができる。従って、フレーム読み出しはもちろんのこと、フィールド読み出し、更には電子シャッターの機能をも持たせることが可能となる。また、リセット手段(T_s)の電源供給用配線(12)と増幅手段(T_a)の電源供給用配線(12)を共用させたので、2つの垂直走査回路(3a)及び(3b)の設置並びに行単位で独立にリセットを制御するようにしたことにもかかわらず、画素の開口率を左右する配線の本数を今まで通り3本にとどめることができる。

即ち、本発明によれば感度の劣化を招来させることなく、読み出しの自由度を向上させることができるものである。

であり、この水平スイッチングトランジスタ(T_x)は、ビデオラインV_Lと各垂直信号線(ℓ_x)の接続を制御するように設けられている。第1垂直走査回路(3a)及び第2垂直走査回路(3b)は、夫々各行の垂直スイッチングトランジスタ(T_y)及びリセット用トランジスタ(T_s)を制御する。そして、第1垂直走査回路(3a)からの信号 ϕ_v によって例えば n 行が選択されているものとすると、水平走査回路(4)からの信号 ϕ_h に応じて、水平スイッチングトランジスタ(T_x)が順次オン、オフし、それに順じて図示の例では、例えば n 行 m 列、 n 行 $m+1$ 列における画素(1)の出力電流がビデオラインV_Lに現われるようになされる。

次に、各画素(1)の構成を説明すると、各画素(1)におけるフォトダイオード(D)の一端子は、増幅用トランジスタ(T_a)のゲートに接続され、フォトダイオード(D)で発生した光信号電荷に基づく電位が増幅用トランジスタ(T_a)のゲートに印加されるようになされている。また、増幅用トランジスタ(T_a)には、直列に垂直スイッチング

[実施例]

以下、第1図～第4図を参照しながら本発明の実施例を説明する。

第1図は、第1実施例に係る固体撮像素子、特に画素の構造がフォトダイオードで発生した光信号電荷をMOS FET(MOS型電界効果トランジスタ)のゲートに蓄積して電流増幅を行なうタイプの増幅型固体撮像素子(A₁)を示す等価回路図である。

この固体撮像素子(A₁)の各画素(1)は、フォトダイオード(D)と、夫々MOSFETで構成された増幅用トランジスタ(T_a)、垂直スイッチングトランジスタ(T_y)及びリセット用トランジスタ(T_s)とを有して成り、これら画素(1)がマトリクス状に配列されて固体撮像素子(A₁)のイメージ部(2)を構成する。また、このイメージ部(2)の周辺には、垂直走査のための第1垂直走査回路(3a)と、リセット用の第2垂直走査回路(3b)と、水平走査のための水平走査回路(4)が設けられている。水平走査回路(4)は、MOSFETで構成された水平スイッチングトランジスタ(T_x)のオン、オフを制御する回路

トランジスタ(T_y)が接続されると共に、垂直スイッチングトランジスタ(T_y)のゲートには、第1垂直走査回路(3a)からの行選択線(ℓ_y)が接続され、更に、この垂直スイッチングトランジスタ(T_y)のドレインには水平スイッチングトランジスタ(T_x)からの垂直信号線(ℓ_x)が接続される。また、フォトダイオード(D)の一端子には、上記増幅用トランジスタ(T_a)のほか、リセット用トランジスタ(T_s)にも接続されており、このリセット用トランジスタ(T_s)のゲートには、第2垂直走査回路(3b)からのリセット線(ℓ_s)が接続される。そして、増幅用トランジスタ(T_a)及びリセット用トランジスタ(T_s)の各ドレインには、全画素共通の電源電圧V_{dd}が印加される。

この本例に係る各画素(1)の構成を断面で示すと第2図の如く構成される。図示の例ではN型の基板(11)を使用した例を示す。即ち、N型の基板(11)上にN型の埋込み層(12)とP型のウェル領域(13)を形成し、このP型のウェル領域(13)内に増幅用トランジスタ(T_a)、垂直スイッチングトランジ

ンジスタ (T_y) 及びリセット用トランジスタ (T_s) を夫々形成する。これらトランジスタ (T_a), (T_y) 及び (T_s) のうち、リセット用トランジスタ (T_s) のソース領域(14)は、P型のウェル領域(13)とのPN接合によって1つの受光素子となるフォトダイオード (D) を構成し、増幅用トランジスタ (T_a) のゲート電極(15)に配線(16)を介して接続される。また、リセット用トランジスタ (T_s) のドレイン領域(17)と増幅用トランジスタ (T_a) のドレイン領域(17)とは互いに共用とされ、この共用のドレイン領域(17)とN型の埋込み層(12)とがN型の取出し領域(18)を介して接続される。また、増幅用トランジスタ (T_a) のソース領域(19)と垂直スイッチングトランジスタ (T_y) のソース領域(19)とは互いに共用となされて増幅用トランジスタ (T_a) と垂直スイッチングトランジスタ (T_y) とが直列に接続されたかたちとなり、更に垂直スイッチングトランジスタ (T_y) のドレイン領域(20)に垂直信号線 (ℓ_x) が接続されて本例に係る画素(1)が構成される。尚、N型の基板(11)には共

通の電源電圧であるVddが印加され、P型のウェル領域(13)には接地電位Vssが印加される。また、リセット用トランジスタ (T_s) 及び垂直スイッチングトランジスタ (T_y) の各ゲート電極(21)及び(22)には夫々リセット線 (ℓ_s) 及び行選択線 (ℓ_y) が接続される。

次に、この本例に係る固体撮像素子 (A_1) についての動作を説明すると、まず、この固体撮像素子 (A_1) の初期状態において、各画素(1)のフォトダイオード (D) には、リセット用トランジスタ (T_s) を介して初期値Vddがセットされている。続く受光期間において、入射光によって励起された電子・正孔対は、電子がフォトダイオード (D) に、正孔がP型のウェル領域(13)に夫々吸収されるため、フォトダイオード (D) の電位が入射光に応じて減少する。この電位を増幅用トランジスタ (T_a) のゲートに印加する。次に、第1垂直走査回路(3a)からの行選択及び水平走査回路(4)からの列選択により、例えば n 行の垂直スイッチングトランジスタ (T_y) と m 列の水平スイッチングト

ランジスタ (T_x) がオンされると、 n 行 m 列の画素(1)が選択され、そのゲートに印加されている電位に応じた電流が増幅用トランジスタ (T_a) にて更に増幅され、出力電流として垂直信号線 (ℓ_x) に供給される。垂直信号線 (ℓ_x) に供給された出力電流は、更にビデオラインVLに供給されたのち、このビデオラインVLの後端部に接続された増幅器(5)を通して出力信号Sとして取出される。尚、この固体撮像素子 (A_1) においては、暗状態で最も出力電流が大きく、入射光が増すにつれて、出力電流が減少する所謂ネガ型の特性を有する。次に、水平走査回路(4)にて次の列、即ち $m+1$ 列を選択すると、今度は、 n 行 $m+1$ 列における画素(1)の出力電流がビデオラインVLに供給され、増幅器(5)より出力信号Sとして取出される。そして、順次、水平走査回路(4)にて全ての列を選択して1つの行の全画素(1)における出力信号Sを取出すと、第1垂直走査回路(3a)にて次の行 ($n+1$ 行) を選択すると共に、第2垂直走査回路(3b)にて今読み出した行 (n 行) の各画素に対しリセット

の選択を行なう。即ち、リセット線 (ℓ_s) からのリセット信号によって、その行の各画素におけるリセット用トランジスタ (T_s) のゲートがオンし、それによりフォトダイオード (D) が初期値Vddにリセットされる。もちろん、読み出す行の選択とリセットする行の選択は、夫々第1垂直走査回路(3a)と第2垂直走査回路(3b)で行なうため、今読み出した行以外の行をリセットしてもよく、リセットする行は、読み出す行とは独立に選択することができる。そして、この一連の動作を順次繰返してイメージ部(2)で撮像した映像情報を順次、後段の信号処理系に供給する。

上記例は、第1垂直走査回路(3a)にて1行ずつ選択して読み出す所調フレーム読み出しの例を示したが、その他、第1垂直走査回路(3a)にて同時に2行ずつ選択して2画素分の出力信号を得るようにした所調フィールド読み出しを行なうようにしてもよい。この場合、更に感度が向上すると共に、水平走査周波数も1/2に低減できる。

上述の如く、本例によれば、イメージ部(2)の周

辺に 2 つの垂直走査回路 (3a) 及び (3b) を配し、そのうちの第 2 垂直走査回路 (3b) で各画素 (1) のリセット用トランジスタ (T_s) を行単位で独立に制御するようにしたので、読出しとリセットを夫々独立に行なうことができる。従って、フレーム読出しはもちろんのこと、フィールド読出し更にはフォーカルプレインシャッターと同様に一定の行毎に読出して読出さない他の行をリセットするという所謂電子シャッターの機能をも持たせることができる。

また、リセット用トランジスタ (T_s) 及び増幅用トランジスタ (T_a) のドレイン領域 (17) と、このドレイン領域 (17) に接続され、電源電圧 Vdd が印加される配線 (埋込み層 (12)) を共用させたので、画素 (1) の開口率を左右する配線の本数を今まで通り 3 本にとどめることができる。即ち、A6 で構成される垂直信号線 (Lx)、行選択線 (Ly) 及びリセット線 (Ls) の 3 本にとどめることができる。

従って、感度の劣化を招来させることなく、読

出しの自由度を向上させることができる。

次に、水平走査回路からの 1 つの選択で 4 画素分の信号をパラレルに出力して水平走査周波数を低減するようにした第 2 実施例について第 3 図を参照しながら説明する。尚、第 1 図と対応するものについては同符号を記す。

この第 2 実施例に係る固体撮像素子 (A₂) は、上記第 1 実施例と同様に、各画素 (1) をマトリクス状に配列してイメージ部 (2) を構成し、このイメージ部 (2) の周辺に水平走査回路 (4)、第 1 垂直走査回路 (3a) 及び第 2 垂直走査回路 (3b) を配して成る。また、各画素 (1) の構成も上記第 1 実施例と同様に、フォトダイオード (D)、増幅用トランジスタ (Ta)、垂直スイッチングトランジスタ (Ty) 及びリセット用トランジスタ (Ts) とを有して成る。各トランジスタ間の接続は、上記第 1 実施例と同じであるため、その説明は省略する。

しかして、本例においては、4 本のビデオライン VL₁ ~ VL₄ を配置する。そして 4 本の垂直信号線 (Lx₁) ~ (Lx₄) を 1 組とし、各組の各垂直

信号線 (Lx₁) ~ (Lx₄) が夫々 4 つの水平スイッチングトランジスタ (Tx₁) ~ (Tx₄) を介して対応するビデオライン VL₁ ~ VL₄ に接続されるようになる。また、各組における水平スイッチングトランジスタ (Tx₁) ~ (Tx₄) の各ゲートをゲート線 (Lg) で接続し、水平走査回路 (4) から列方向に並ぶ各列選択線 (Lx) を夫々各組のゲート線 (Lg) に接続する。このように構成することによって、水平走査回路 (4) からの 1 つの列選択信号で同時に 4 つの水平スイッチングトランジスタ (Tx₁) ~ (Tx₄) を制御するようになる。尚、各ビデオライン VL₁ ~ VL₄ の後端部には、夫々増幅器 (5a) ~ (5d) が接続される。また、水平走査回路 (4)、第 1 垂直走査回路 (3a) 及び第 2 垂直走査回路 (3b) からの各信号は、その出力が維持されるように、夫々一旦バッファ (6), (7a) 及び (7b) を通してから夫々水平スイッチングトランジスタ (Tx₁) ~ (Tx₄) 並びにイメージ部 (2) に供給される。これらバッファ (6), (7a) 及び (7b) は例えば NOT 回路等にて構成される。

次に、この第 2 実施例に係る固体撮像素子 (A₂) の動作を第 4 図の波形図をも参照しながら説明する。

まず、初期状態において、各画素 (1) のフォトダイオード (D) は、リセット用トランジスタ (Ts) を介して初期値 Vdd がセットされている。続く受光期間において、第 1 垂直走査回路 (3a) からの行選択信号 φV で例えば n 行が選択され (第 4 図の φV_n 参照)、更に水平走査回路 (4) からの組選択信号 φH で例えば m 組が選択されると (第 4 図の φH_m 参照)、n 行の各画素 (1) における垂直スイッチングトランジスタ (Ty) がオンし、m 組の 4 つの水平スイッチングトランジスタ (Tx₁) ~ (Tx₄) がオンする。これらトランジスタのオンにより、n 行の各画素 (1) のうち、水平の m 組に対応する 4 つの画素 (1) からの各出力電流が夫々 4 本の垂直信号線 (Lx₁) ~ (Lx₄) を介して対応する 4 本のビデオライン VL₁ ~ VL₄ に夫々供給される。ビデオライン VL₁ ~ VL₄ に供給された各出力電流 (第 4 図の I₁ ~ I₄ 参照) は、対応する増

幅器(5a)～(5d)を介して夫々出力信号S₁～S_nとしてパラレルに出力される。その後、これら出力信号S₁～S_nを例えばマルチブレクサ(図示せず)にてシリアル変換(順次を補正)したのち、後段の信号処理系に供給する。次に、水平走査回路(4)にて次の組、即ちm+1組を選択すると(第4図のφH_{m+1}参照)、今度は、n行の各画素(1)のうち、水平のm+1組に対応する4つの画素(1)からの各出力電流(第4図のI₁～I₄参照)が夫々対応するビデオラインV_{L1}～V_{L4}に供給され、各増幅器(5a)～(5d)より夫々出力信号S₁～S_nとして取出される。そして、順次、水平走査回路(4)にて全ての組を選択して1つ行(n行)の全画素(1)における出力信号S₁～S_nを取出すと、第1垂直走査回路(3a)にて次の行、即ちn+1行を選択する(第4図のφV_{n+1}参照)と共に、第2垂直走査回路(3b)にて今読み出した行(n行)の各画素(1)に対しリセットを行なう。この第2実施例の場合も上記第1実施例と同様に読み出しとリセットを独立に行なうことができる。この一連の動作を順

次繰返してイメージ部(2)で撮像した映像情報を順次、後段の信号処理系に供給する。

上記例は、第1垂直走査回路(3a)にて1行ずつ選択して読み出すフレーム読み出しの例を示したが、その他、第1垂直走査回路(3a)にて同時に2行ずつ、例えばn行とn+1行を同時に選択して読み出すようにしてもよい。この場合、n行とn+1行の2画素分の出力電流が1つの垂直信号線(ℓx)に流れるため、フレーム読み出しの場合よりも感度が2倍になる。また、この2行同時読み出し(フィールド読み出し)では、8画素分を同時に読み出すことができ、フィールド読み出しに関する水平走査周波数を1/4に低減させることができる。従って、高精細度の撮像装置(HDVS)のような水平走査周波数の高いものに有効となる。

このように、この第2実施例によれば、フレーム読み出しのほか、フィールド読み出しが可能となり、水平走査周波数も低減できることから、感度の向上を図ることができると共に、高精細度の撮像装置への適用の際、水平走査周波数の取扱いに関し、

回路上余裕をもたせることができが可能となる。また、電子シャッターの機能をも持たせることができが可能となる。

また、イメージ部(2)への配線は、垂直信号線(ℓx)、行選択線(ℓy)及びリセット線(ℓz)の3本で、今まで通りの本数で済むことから、開口率の劣化即ち感度の劣化は生じない。

上記第1及び第2実施例は、垂直走査回路を2つに分割して、第1垂直走査回路(3a)で読み出しの行を選択し、第2垂直走査回路(3b)でリセットする行の選択を行なうようにしたが、その他、垂直走査回路を1つにして、行選択線(ℓy)とリセット線(ℓz)を交互に配列し、夫々独立に読み出しとリセットを行なうようにしてもよい。

〔発明の効果〕

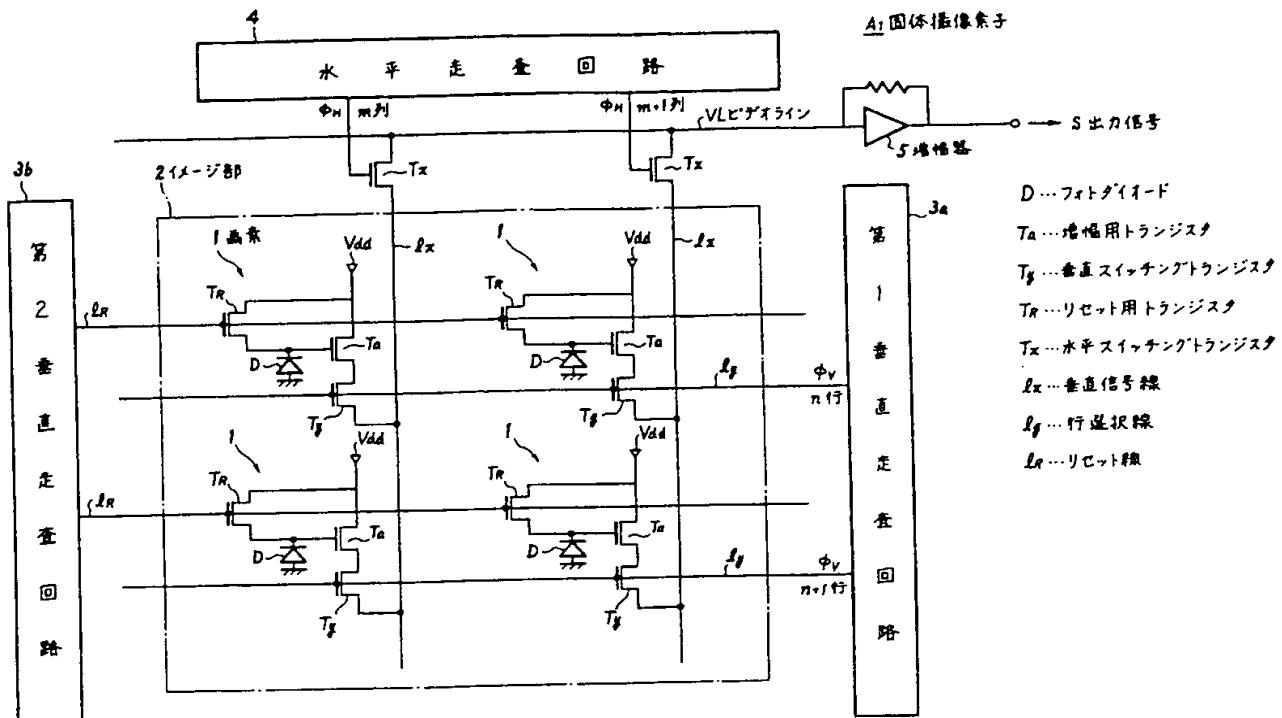
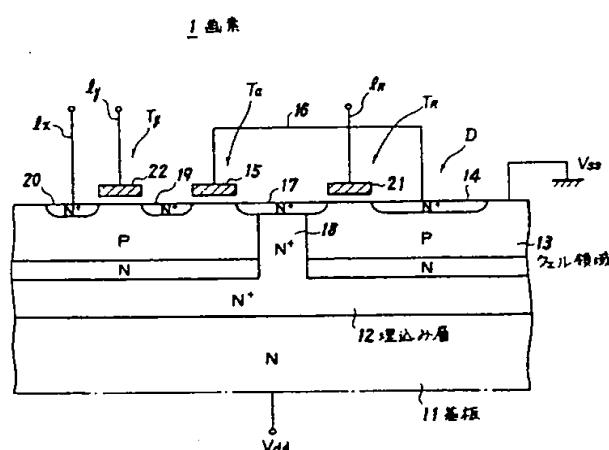
本発明の固体撮像素子によれば、配線を増やすことなく、行単位に独立にリセットが行なえ、その結果、感度の劣化を招来させることなく、フレーム読み出し及びフィールド読み出しを行なうことが

可能となり、しかも電子シャッターの機能をも持たせることができ、読み出しの自由度を向上させることができる。

図面の簡単な説明

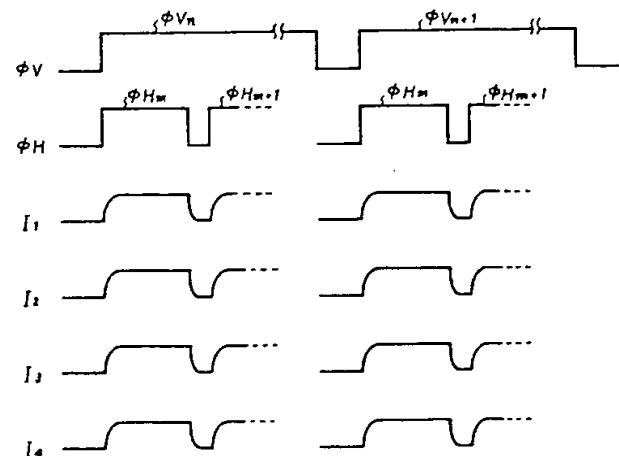
第1図は第1実施例に係る固体撮像素子を示す等価回路図、第2図は本例に係る画素の構成を示す断面図、第3図は第2実施例に係る固体撮像素子を示す等価回路図、第4図はその読み出し動作の説明に供する波形図、第5図は従来例に係る固体撮像素子を示す等価回路図である。

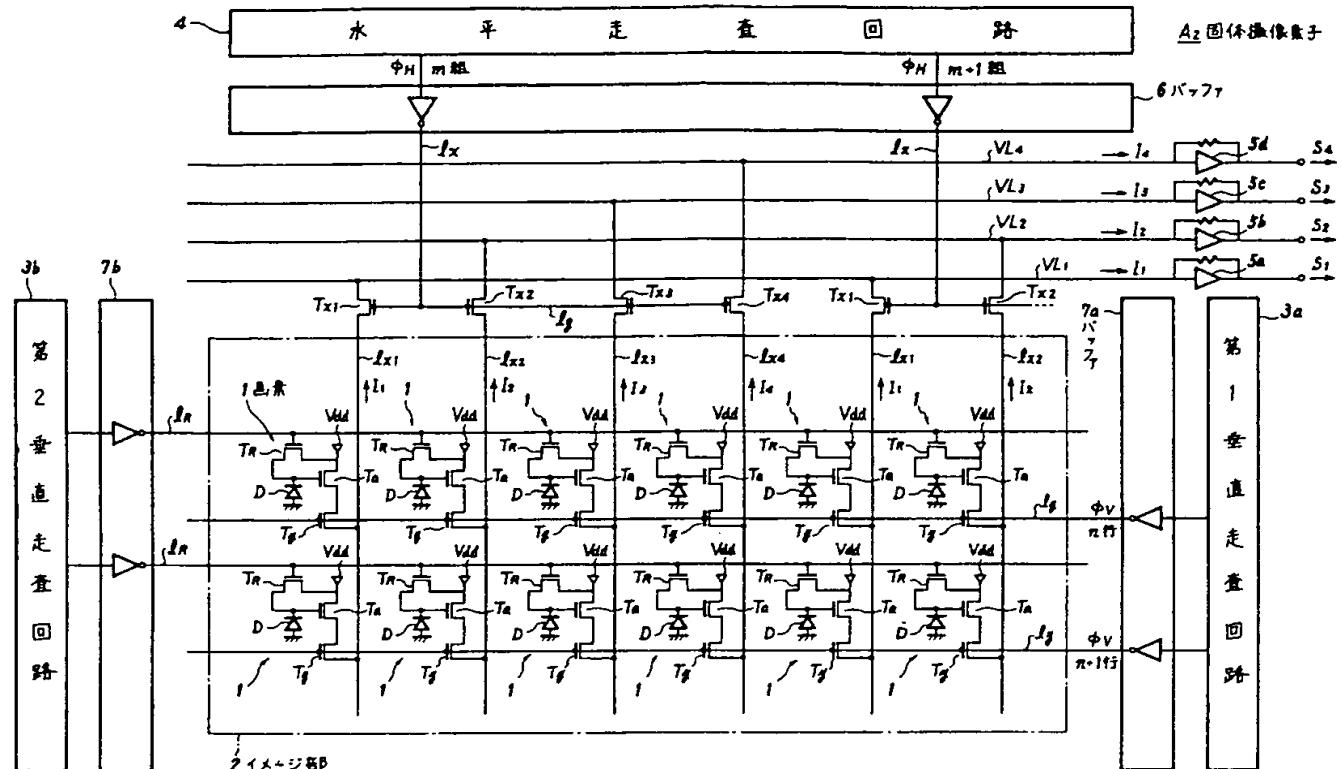
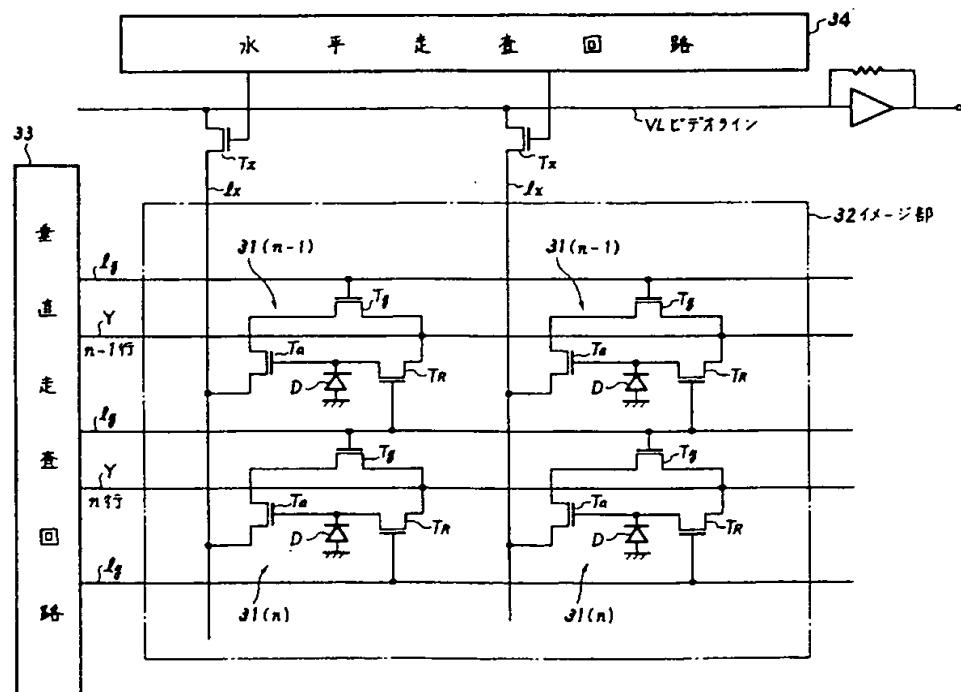
(A₁)、(A₂)は固体撮像素子、(1)は画素、(2)はイメージ部、(3a)は第1垂直走査回路、(3b)は第2垂直走査回路、(4)は水平走査回路、(5)は増幅器、(D)はフォトダイオード、(Ta)は増幅用トランジスタ、(Ty)は垂直スイッチングトランジスタ、(Tz)はリセット用トランジスタ、(Tx)は水平スイッチングトランジスタ、(ℓx)は垂直信号線、(ℓy)は行選択線、(ℓz)はリセット線である。

第1実施例を示す等価回路図
第1図

Legend:

- T_a ... 増幅用トランジスタ (Amplifier Transistor)
- T_R ... リセット用トランジスタ (Reset Transistor)
- T_g ... 垂直スイッチングトランジスタ (Vertical Switching Transistor)
- $14, 19$... ソース領域 (Source Region)
- $15, 21, 22$... ケート電極 (Gate Electrode)
- 16 ... 配線 (Wiring)
- $17, 20$... ドレイン領域 (Drain Region)
- 18 ... 取出し領域 (Output Region)
- D ... フォトダイオード (Photodiode)

読み出し動作の説明に供する波形図
第4図画素の構成を示す断面図
第2図

第2実施例を示す等価回路図
第3図従来例を示す等価回路図
第5図